

⑫ 公開特許公報(A) 平4-37168

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月7日

H 01 L 29/784  
21/76  
27/12

D 9169-4M  
7514-4M  
9056-4M

H 01 L 29/78 311 G  
審査請求 未請求 請求項の数 5 (全8頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平2-143648

⑰ 出 願 平2(1990)6月1日

⑱ 発 明 者 松 谷 毅 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 北野 好人

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 絶縁層上に形成された半導体層と、

前記半導体層に形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域との間に形成されたチャネル領域と、

前記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、

を有するn型MOSトランジスタを備えた半導体装置において、

前記ゲート電極は、前記半導体表面よりも高いフェルミレベルを有する構造であり、

前記ゲート絶縁膜は、負の固定電化を有し、

前記n型MOSトランジスタは、エンハンスメント型であること

を特徴とする半導体装置。

2. 絶縁層上に形成されたSi単結晶層と、  
前記Si単結晶層に形成されたソース領域およびドレイン領域と、

前記ソース領域とドレイン領域との間に形成されたチャネル領域と、

前記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と

を有するn型MOSトランジスタを備えた半導体装置において、

前記ゲート電極は、n型ポリシリコン、もしくはn型ポリシリコンと高融点金属とを順に重ねた構造、もしくはn型ポリシリコンと高融点金属シリサイドとを順に重ねた構造によりなり、

前記ゲート絶縁膜は、負の固定電荷を有し、

前記n型MOSトランジスタは、エンハンスメント型であること

を特徴とする半導体装置。

3. 絶縁層上にSi単結晶層を形成する第1の工程と、

前記S1単結晶層にソース領域とドレイン領域を形成する第2の工程と、

前記ソース領域と前記ドレイン領域との間に、チャネル領域を形成する第3の工程と、

前記チャネル領域上部に負の固定電荷を有するゲート絶縁膜を形成する第4の工程と、

前記ゲート絶縁膜上にn型ポリシリコン、もしくはn型ポリシリコンと高融点金属とを順に重ねた構造、もしくはn型ポリシリコンと高融点金属シリサイドとを順に重ねた構造によりなるゲート電極を形成する第5の工程と

を有することを特徴とする半導体装置の製造方法、

4. 請求項3記載の半導体装置の製造方法において、

前記第4の工程は、

前記ゲート絶縁膜をA1溶液に浸して、前記ゲート絶縁膜中にA1を注入することにより前記負の固定電荷を形成すること

を特徴とする半導体装置の製造方法、

を有するn型MOSトランジスタを備えた半導体装置において、前記ゲート電極は、前記半導体表面よりも高いフェルミレベルを有する構造であり、前記ゲート絶縁膜は、負の固定電化を有し、前記n型MOSトランジスタは、エンハンスメント型であるように構成する。

#### 【産業上の利用分野】

本発明はSOI基板を用いて形成された半導体装置及びその製造方法に関する。

#### 【従来の技術】

近年、素子の微細化、高速化に伴い、SOI (Silicon on insulator 又はSemiconductor on insulator) 基板、特に1000Å以下の薄膜SOI基板に形成されたMOSデバイスに対する関心が高まってきている。

従来の薄膜SOI構造を第4図に示す。

支持基板100上に薄膜SOI基板1が形成さ

5. 請求項3記載の半導体装置の製造方法において、

前記第4の工程は、

前記ゲート絶縁膜中にA1をイオン注入することにより前記負の固定電荷を形成すること

を特徴とする半導体装置の製造方法、

#### 3. 発明の詳細な説明

##### 【概要】

SOI基板を用いて形成された半導体装置及びその製造方法に関し、

薄膜SOI基板を用いn型ポリシリコンゲートを有するエンハンスメント型の半導体装置及びその製造方法を提供することを目的とし、

絶縁層上に形成された半導体層と、前記半導体層に形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に形成されたチャネル領域と、前記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、

れている。薄膜SOI基板1は、絶縁層101と絶縁層101上のS1単結晶層102で構成されている。S1単結晶層102には、ソース領域10とドレイン領域11の間にチャネル領域20が形成され、チャネル領域20上にゲート酸化膜14を介してゲート電極9が形成されている。

従来のSOI基板は、トレンチ・アイソレーション（溝分離）と組み合わせて使用することにより、ラッチアップを完全に防止できる等の利点に止まっていたが、SOI基板を薄膜化することにより、素子の微細化が可能になるという利点も生じた。

SOI基板を薄膜とすることにより、容易にSi単結晶層の厚さを浅く形成することが可能であり、さらにドレイン領域下の空乏層が広がらず、ゲート電界の制御能力（コントロールビリティ）が向上するので、ショートチャネル効果を減少させることもできる。

第5図に従来の通常膜厚のSOI基板と薄膜SOI基板のエネルギーバンド図を示す。同図におけ

る破線は、フラットバンド状態を示している。

従来の通常膜厚SOI基板のエネルギーバンドは、蓄積状態において、ゲート酸化膜との界面付近が下方に曲がっている（同図（a）実線）。

バンドが下方に曲がっていることにより、チャネルと垂直方向（深さ方向）に電場が生じ、チャネルに沿って電子が移動しようとしても、ゲート酸化膜側に電子が吸い寄せられ、チャネルに沿って進む電子のモビリティ（移動度）を低下させる。すなわちキャリアのモビリティが上がらず、電流利得率 $\beta$ が小さくなってしまふ。

それに対して、薄膜SOI基板の場合はゲート酸化膜との界面付近のバンドの曲がりが少ない（同図（b）実線）。従って、チャネルに垂直な電界は減少し、チャネルに水平な電界が主になるので、電子のモビリティは高くなる。すなわち、トランジスタに流れるキャリアのモビリティが上昇する。その結果、電流利得率 $\beta$ が向上する。また、ドレインの電流・電圧特性である $I_d/V_d$ カーブの線形領域の勾配が大きくなり、ドレイン

の電流・電圧特性が向上するという効果を生じる。

第6図は、ゲートの閾値電圧 $V_{th}$ のSOI基板の厚さに対する特性を示す図である。

図中A線は基板濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 、B線は基板濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 、C線は基板濃度が $1 \times 10^{14} \text{ cm}^{-3}$ の場合の特性を示している。

太線部は、チャネル領域が完全空乏化領域であることを示す。

A線の場合、SOI基板が3000Å以上の厚さになると $V_{th}$ は一定となる。SOI基板厚が3000Å以下の厚さになってくると、SOI基板の膜厚に依存して直線的に $V_{th}$ が低下してくる。A線よりも基板濃度が低いB線あるいはC線においても、同様にSOI基板の膜厚に比例して $V_{th}$ が低下してくる。

SOI基板の膜厚が薄くなるほど、基板濃度の相違にかかわらず $V_{th}$ が一定値に収束する傾向にある。

ゲート電極にn型ポリシリコンを用いたp型シリコン基板の場合、ゲートと基板のフェルミレベ

ルの差分だけゲート電圧を増加させると基板側が空乏状態となる。ゲート電圧をさらに増加するとバンドは上方に曲げられ、p型シリコン基板の表面は反転する。SOI基板の膜厚が薄いと、この反転層の部分のみが基板の領域になる。

従って、完全空乏化の状態で使用する場合、MOSトランジスタの閾値電圧 $V_{th}$ は、薄膜SOI基板の基板濃度に依存せず、ゲート電極材と薄膜SOI基板との仕事関数差、およびゲート酸化膜材に依存して決定される一定の値に収束する傾向がある。

また、通常基板のトランジスタの場合、パンチスルーの問題があるが、薄膜SOI基板の場合は酸化膜で基板と素子が分離されているので空乏層が広がることのない。従って、薄膜SOI基板を用いると基板濃度を薄くすることができる。

薄膜SOI基板を完全空乏化させた状態で使用し、薄膜SOI基板の不純物濃度を減少又は全く不純物を添加せずに使用すると、不純物散乱によるキャリアのモビリティ劣化を抑えることができ

る。従って、素子の高速化が図れる。

結局、薄膜SOI基板を用いると、素子の微細化が可能になり、基板濃度のバラツキによらず閾値電圧 $V_{th}$ の安定化を図ることができ、さらに、SOI基板の有する絶縁層によりSi単結晶層下の空乏層容量を無視できるという利点が生じる。

従来のMOS製造プロセスにおけるゲート材料として、リンなどを不純物に含むn型ポリシリコンがある。不純物にリンを用いるのは、熱処理に対してもポリシリコン中のリンが安定で、基板中に拡散したり突き抜けることがないからである。

また、パッシベーション効果を有するため、たとえばゲートパターニング時のレジストから、アルカリ金属等がゲート電極、酸化膜さらに基板界面まで侵入することを防止することができるなどの効果が大きいからである。

〔発明が解決しようとする課題〕

ところが、nチャネルのトランジスタを形成する際、薄膜SOI基板において完全空乏化または

部分空乏化が進んだ状態で使用しようとする、ゲートがn型ポリシリコンではディプリージョン型のトランジスタになってしまう。

ゲート電極にp型ポリシリコンを用いたp型シリコン基板の場合にはこのような問題は生じない。

そこで、仕事関数差を考慮すればp型ポリシリコンゲートを用いることも考えられるが、熱処理工程においてp型ポリシリコン中のB(ボロン)等の不純物が基板まで突き抜けてしまい、基板濃度を増加させるおそれがある。

前述のように、基板濃度が増加するとキャリアのモビリティが下がる。従って、p型ポリシリコンをゲート電極の形成に用いると、薄膜SOI基板を低温酸化できず、素子の高速化が図れなくなるという問題がある。

また、p型ポリシリコンを用いた場合はバッシュン効果を持たないため、レジストからの金属汚染等による、閾値電圧の変動やゲート酸化膜の耐圧劣化等の問題を起こしやすくなる。

従って、薄膜SOI基板を用いるうえでp型ポ

リシリコンの使用は避ける必要がある。また他の材料について安定したプロセスを確立することは難しい。

以上の理由から、n型ポリシリコンゲートを用いた薄膜SOIデバイスを使用する必要性は高まっている。

本発明の目的は、薄膜SOI基板を用いn型ポリシリコンゲートを有するエンハンスメント型の半導体装置及びその製造方法を提供することにある。

#### [課題を解決するための手段]

上記目的は、絶縁層上に形成された半導体層と、前記半導体層に形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に形成されたチャネル領域と、前記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、を有するn型MOSトランジスタを備えた半導体装置において、前記ゲート電極は、前記半導体表面よりも高いフェルミレベルを有す

る構造であり、前記ゲート絶縁膜は、負の固定電荷を有し、前記n型MOSトランジスタは、エンハンスメント型であることを特徴とする半導体装置によって達成される。

また、上記目的は、絶縁層上にSi単結晶層を形成する第1の工程と、前記Si単結晶層にソース領域とドレイン領域を形成する第2の工程と、前記ソース領域と前記ドレイン領域との間にチャネル領域を形成する第3の工程と、前記チャネル領域上部に負の固定電荷を有するゲート絶縁膜を形成する第4の工程と、前記ゲート絶縁膜上にn型ポリシリコン、もしくはn型ポリシリコンと高融点金属とを順に重ねた構造、もしくはn型ポリシリコンと高融点金属シリサイドとを順に重ねた構造によりなるゲート電極を形成する第5の工程とを有することを特徴とする半導体装置の製造方法によって達成される。

#### [作用]

本発明によれば、薄膜SOI基板を用いn型ポ

リシリコンゲートを有するエンハンスメント型の薄膜SOIデバイスを実現することができる。

#### [実施例]

本発明の第1の実施例による半導体装置を第1図を用いて説明する。

本実施例は、n型ポリシリコンゲートを用いて、薄膜SOI基板のn型MOSトランジスタをエンハンスメント型にするために、ゲート絶縁膜中に負の固定電荷を形成したことを特徴としている。

支持基板100上に例えば厚さ0.1 $\mu$ mの薄膜SOI基板1が形成されている。薄膜SOI基板1は絶縁層101と絶縁層101上のSi単結晶層102で構成されている。

Si単結晶層102の図中左側は、NMOS領域Nである。ソース領域10とドレイン領域11上にそれぞれソース電極12とドレイン電極13が形成されている。ソース領域10とドレイン領域11の間にチャネル領域20が形成され、チャネル領域20上に固定電荷7を有するゲート酸化

膜14が形成されている。ゲート酸化膜14上にゲート電極9が形成されている。

Si単結晶層102の図中右側は、PMOS領域Pである。ソース領域10とドレイン領域11上にそれぞれソース電極12とドレイン電極13が形成されている。ソース領域10とドレイン領域11の間にチャネル領域20が形成され、チャネル領域20上に固定電荷7を有しないゲート酸化膜15が形成されている。ゲート酸化膜15上にはゲート電極9が形成されている。

Si単結晶層102のNMOS領域NとPMOS領域Pは素子分離膜2で分離されている。

本発明の第1の実施例による半導体装置の製造方法を第2図を用いて説明する。

支持基板100上に、SiMOXにより $O^+$ イオンを打ち込み、アニールして $SiO_2$ 層を0.3 $\mu m$ 以下、例えば0.1 $\mu m$ 程度形成した、基板濃度の薄いSOI基板1を出発材料とする。薄膜SOI基板1上に、例えばLOCOSアイソレーションによる素子分離膜2を形成した後、厚さ

200Åでゲート酸化を行いゲート酸化膜3を形成する(第2図(a))。

次に、レジスト4をパターニングし、nチャネルMOSを形成するため、nチャネルMOS形成領域Nのみを露出させる。その後、A1を1000ppm含むA1水溶液6中に浸す(第2図(b))。

次に、低ダメージダウンフローアッシングによりこのレジスト4を剥離し、温度1000℃のN<sub>2</sub>雰囲気中で20分間の熱処理を行う。

以上の処理により、NMOS領域Nのゲート酸化膜3中にA1による負の固定電荷7を形成させることができる(第2図(c))。

この後、厚さ3000Åでn型ポリシリコンを成長させた後パターニングを行い、ゲート酸化膜14および15上にゲート電極9を形成する。次に不純物をイオン注入することにより、NMOS領域Nに $n^+$ 層のソース領域10とドレイン領域11を形成し、PMOS領域Pに $p^+$ 層のソース領域10とドレイン領域11を形成する。

その後は通常の工程により、ソース領域10およびドレイン領域11上にコンタクト窓を形成し、ソース電極12およびドレイン電極13を形成し、工程を終了する(第2図(d))。

以上でnチャネルMOS側のゲート酸化膜14中に負の固定電荷を発生させた薄膜SOI構造の素子が形成される。

本実施例による半導体装置の製造方法を用いれば、負の固定電荷が作る電界により、nチャネルトランジスタのディアリージョン化を防止することができ、しかも従来どおり、n型ポリシリコンゲートを使用することができる。

ゲート酸化膜中の電界は固定電荷であり、熱処理にも安定であるため、閾値電圧 $V_{th}$ の変動を招くこともない。プロセス的にも、従来の $V_{th}$ コントロールのためのイオン注入工程を置き換えただけになるので、製造工程が増加することもない。また、ゲート絶縁膜は、本実施例におけるゲート酸化膜 $SiO_2$ のみならず、 $Si$ 、 $N$ 、 $SiON$ 、 $Ta_2O_5$ 等の絶縁膜、またはこれらと

$SiO_2$ の積層膜でもよい。

本発明の第2の実施例による半導体装置の製造方法を第3図を用いて説明する。

本実施例は、第1の実施例の製造工程において基板をA1溶液に浸す際に、PMOS領域Pのゲート酸化膜3上に、固定電荷を発生させないため形成したレジスト4に変えて、ポリシリコン等を用いたことに特徴がある。

薄膜SOI基板1上に、素子分離膜2を形成した後、ゲート酸化を行いゲート酸化膜3を形成する工程は第1の実施例と同様である。

次に、ゲート酸化膜3上に例えばポリシリコン8を成長させる(第3図(a))。

次に、ポリシリコン8上に第1の実施例と同様にレジスト4をパターニングし、レジスト4をマスクとしてポリシリコン8をエッチングする(図示せず)。

エッチング方法は低ダメージのダウンフロー型ドライエッチング又は、HFと $HNO_3$ の混合液によるウェットエッチング等が挙げられる。nチャ

チャンネルMOSを形成するため、nチャンネルMOS形成領域N側のポリシリコン8を除去する。

レジスト4を剥離した後、第1の実施例と同様に基板をA1溶液に浸す(第3図(b))。

この方法の場合、A1溶液に基板を浸す際のマスクとしてポリシリコンを使用するので、レジストを用いる場合よりも、ゲート絶縁膜の汚染を防止できる。

この後、ポリシリコン8を前述と同じ方法で除去し、ゲート電極形成用ポリシリコンを再び成長させる。この後の工程は第1の実施例と同様に行う。

本発明の第3の実施例による半導体装置の製造方法を説明する(図示せず)。

第1および第2の実施例においては、A1を酸化膜中に注入する方法として、A1溶液からの拡散を用いたが、イオン注入法を用いることもできる。

イオン注入量を $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 、加速エネルギーを5 keVでA1のイオン注入をす

る。このとき、投影系程 $R_p = 80 \text{ \AA}$ 、標準偏差 $\Delta R_p = 40 \text{ \AA}$ であるから、200 Åの厚さのゲート酸化膜3を突き抜けることはほとんどない。従ってSi単結晶層102の不純物濃度が上昇することがない。

また、イオン注入を行う不純物としてトリメチルアルミを用いれば、通常用いられる程度の高加速のエネルギーでイオン注入を行うことができる。

イオン注入時のマスク材は第1および第2の実施例で示したレジスト又はポリシリコン等の材料を用いることができる。

本発明は上記実施例に限らず種々の変形が可能である。

例えば、素子間に形成した素子分離膜はLOCOS分離だけでなくメサ構造による素子分離でもよい。

また、上記実施例では、ゲート電極のn型ポリシリコン電極をp型シリコンからなる素子領域上に形成する場合について述べたが、本発明におけるゲート電極は、上記実施例に限定されることな

く、自由に材料等を変更することができる。一般にゲート電極材のフェルミレベルがSOI基板のフェルミレベルよりも高い場合において広汎に用いることができるものである。例えばn型ポリシリコンと高融点金属とを順に重ねた構造、もしくはn型ポリシリコンと高融点金属シリサイドとを順に重ねた構造でもよい。

また、出発材料としての基板温度の薄いSOI基板は、SIMOXにより形成されたものだけでなく、例えばウェーハ貼合せ、またはポリシリコンのゾーンメルト化したものでもよい。

#### [発明の効果]

以上の通り、本発明によれば、nチャネルトランジスタのディアリージョン化を防止することができ、従来どおりn型ポリシリコンゲートを使用し、製造工程も増加しない半導体装置を実現することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例による半導体装置を示す図。

第2図は本発明の第1の実施例による半導体装置の製造方法を示す図。

第3図は本発明の第2の実施例による半導体装置の製造方法を示す図。

第4図は従来の薄膜SOI基板を示す図。

第5図は従来のSOI基板のエネルギーバンドを示す図。

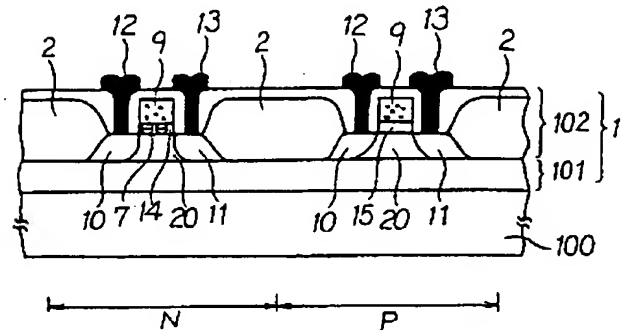
第6図はSOI基板の厚さに対する閾値電圧の特性を示す図である。

図において、

- 1…薄膜SOI基板
- 2…素子分離膜
- 3…ゲート酸化膜
- 4…レジスト
- 6…A1水溶液
- 7…固定電荷

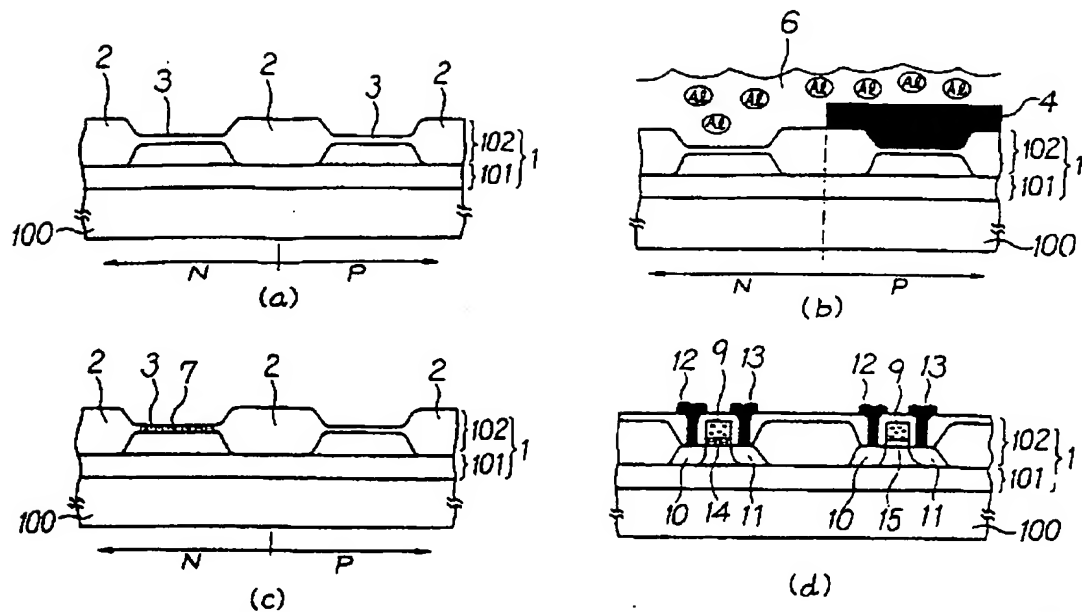
8...ポリシリコン  
 9...ゲート電極  
 10...ソース領域  
 11...ドレイン領域  
 12...ソース電極  
 13...ドレイン電極  
 14...ゲート酸化膜  
 15...ゲート酸化膜  
 20...チャネル領域  
 100...支持基板  
 101...絶縁層  
 102...Si単結晶層

1...薄膜SOI基板  
 2...素子分離膜  
 7...固定電荷  
 9...ゲート電極  
 10...ソース領域  
 11...ドレイン領域  
 12...ソース電極  
 13...ドレイン電極  
 14...ゲート酸化膜  
 15...ゲート酸化膜  
 20...チャネル領域  
 100...支持基板  
 101...絶縁層  
 102...Si単結晶層



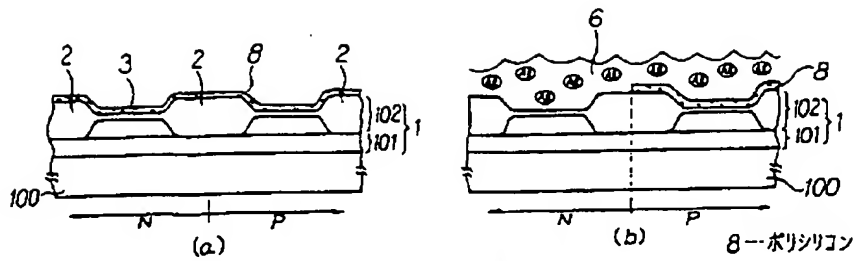
出願人 富士通株式会社  
 代理人 弁理士 北野 好 人

本発明の第1の実施例による半導体装置を示す図  
 第1図

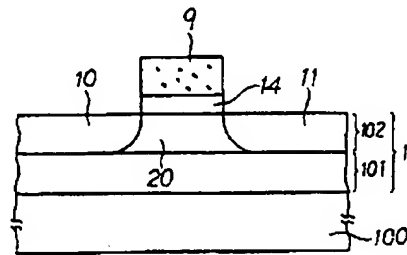


3...ゲート酸化膜  
 4...レジスト  
 6...Al水溶液

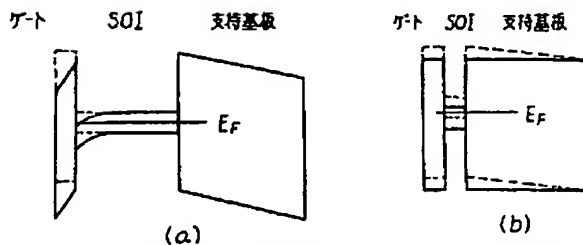
本発明の第1の実施例による半導体装置の製造方法を示す図  
 第2図



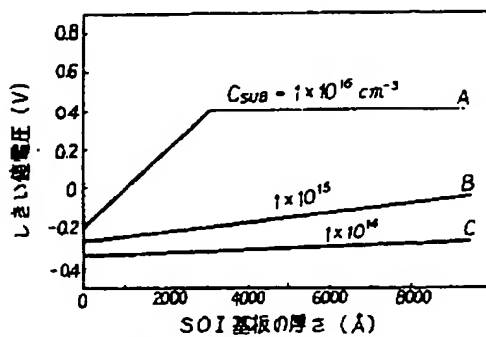
本発明の第2の実施例による半導体装置の製造方法を示す図  
第3図



従来の薄膜SOI基板を示す図  
第4図



従来のSOI基板のエネルギーバンドを示す図  
第5図



SOI基板の厚さに対する閾値電圧の特性を示す図  
第6図



DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03672068      \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.:      04-037168 [JP 4037168 A]

PUBLISHED:      February 07, 1992 (19920207)

INVENTOR(s):      MATSUTANI TAKESHI

APPLICANT(s):      FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      02-143648 [JP 90143648]

FILED:      June 01, 1990 (19900601)

INTL CLASS:      [5] H01L-029/784; H01L-021/76; H01L-027/12

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:      R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:      Section: E, Section No. 1205, Vol. 16, No. 221, Pg. 29, May  
22, 1992 (19920522)

#### ABSTRACT

PURPOSE: To make it possible to obtain an enhancement type thin film SOI device having an n-type polysilicon gate by allowing a gate electrode to have a higher Fermi level than semiconductor surface in structure and a gate insulation film to have a negative fixed charge, and setting an n-type MOS transistor to an enhancement type.

CONSTITUTION: After having formed a device isolation layer 2 on a thin film SOI substrate 1 on a support board 100, gate oxidation is carried out so that a gate oxide film 3 may be formed. Resist is patterned so that only an n-channel MOS formation region N may be exposed and submerged in an Al aqueous solution 6. Then, the resist is peeled off and heat-treated so that a negative fixed charge 7 induced by Al may be formed on the oxide film 3 of an NMOS region N. After the formation, an n-type polysilicon is adapted to grow and then patterned where a gate electrode 9 is formed on gate oxide films 14 and 15. Then, the impurities are ionized so that an n(sup +) layer of a source region 10 and a drain region 11 may be formed in a NMOS region N thereby forming a p(sup +) layer of the source region 10 and the drain region 11 in a PMOS region P.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008966217      \*\*Image available\*\*

WPI Acc No: 1992-093486/199212

XRPX Acc No: N92-069927

Enhancement type semiconductor device - has gate electrode having Fermi level higher than semiconductor surface and has gate isolation layer

NoAbstract Dwg 1/6

Patent Assignee: FUJITSU LTD (FUIT )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4037168	A	19920207	JP 90143648	A	19900601	199212 B

Priority Applications (No Type Date): JP 90143648 A 19900601

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4037168	A	8		
------------	---	---	--	--

Title Terms: ENHANCE; TYPE; SEMICONDUCTOR; DEVICE; GATE; ELECTRODE; FERMI; LEVEL; HIGH; SEMICONDUCTOR; SURFACE; GATE; ISOLATE; LAYER; NOABSTRACT

Derwent Class: R46; U11; U13

International Patent Class (Additional): H01L-021/76; H01L-027/12; H01L-029/78

File Segment: EPI